



## 【特許請求の範囲】

【請求項1】 データを繰り返し書き込み及び読み出しできると共に書き込み済データを電氣的に消去でき、第1アドレス領域及び第2アドレス領域を有するメモリであって、前記第1アドレス領域は前記第2アドレス領域のデータを書き換える為のプログラム領域に割り当てられ、前記第1アドレス領域及び前記第2アドレス領域は割り込み処理の為のプログラム領域を含む不揮発性メモリと、

前記不揮発性メモリをアドレス指定するプログラムカウンタと、  
割り込み要求に応じて前記プログラムカウンタの値を変更する割り込みベクタ回路と、

前記不揮発性メモリの第2アドレス領域のデータ書き換え中に前記割り込み要求が発生した時、前記不揮発性メモリの第1アドレス領域を指定する様に前記割り込みベクタ回路を制御する制御回路と、

を備えたことを特徴とするマイクロコンピュータ。

【請求項2】 前記不揮発性メモリの第1アドレス領域に記憶された割り込み処理の為のプログラムは、前記不揮発性メモリの第2アドレス領域のデータ書き換えを実行する為に必要なプログラムであることを特徴とする請求項1記載のマイクロコンピュータ。

【請求項3】 同じ割り込み要求に対して前記不揮発性メモリの第1アドレス領域及び第2アドレス領域を指定する2つの割り込みベクタ回路を設け、前記制御回路は、前記不揮発性メモリの第2アドレス領域のデータ書き換え中に前記割り込み要求が発生した時、前記不揮発性メモリの第1アドレス領域を指定する一方の割り込みベクタ回路を選択することを特徴とする請求項2記載のマイクロコンピュータ。

【請求項4】 前記不揮発性メモリの第2アドレス領域のデータ書き換えを行う場合と行わない場合とにおいて、割り込み要求を共用することを特徴とする請求項3記載のマイクロコンピュータ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、フラッシュメモリ（EEPROM）を内蔵するマイクロコンピュータに関する。

## 【0002】

【従来の技術】1チップマイクロコンピュータとは、プログラムメモリ（不揮発性メモリ）を同一チップ上に集積化したものである。前記プログラムメモリには、マスクROM、EPROM、EEPROM等が使用される。

## （1）マスクROM内蔵の場合

複数枚のマスクを1度製造してしまえば、量産効率を向上でき且つチップ面積を小さくできる利点がある。しかし、プログラム変更が要求されると、複数枚のマスクを再度製造する必要がある、多くの製造時間を要して前記

要求に迅速に対応できない欠点がある。

## （2）EPROM内蔵の場合

現データを紫外線消去した後に新データを書き込むことで、プログラム変更迅速に対応できる利点がある。しかし、現データが全て紫外線消去されてしまい、消去不要であった同一データを再度書き込まなければならない欠点がある。

## （3）EEPROM内蔵の場合

現データを電氣的消去した後に新データを書き込むことで、プログラム変更迅速に対応できる利点がある。また、現データを部分的に消去できるので、消去不要のデータをそのまま残すことができる。

【0003】さて、最近の1チップマイクロコンピュータは、前記各不揮発性メモリの利点を利用し、EEPROMを内蔵する傾向が高い。前記EEPROMは、1チップマイクロコンピュータの動作制御の為のプログラムメモリとして使用される。ここで、前記EEPROMのアドレス領域は第1アドレス領域及び第2アドレス領域に分割される。第1アドレス領域は、第2アドレス領域のデータ書き換えの為のプログラム領域に割り当てられ、また、第2アドレス領域には割り込み処理の為のプログラムが書き込まれるものとする。

## 【0004】

【発明が解決しようとする課題】さて、前記1チップマイクロコンピュータは、前記EEPROMの第1アドレス領域のプログラム命令を解読することにより、前記EEPROMの第2アドレス領域のプログラムの書き換えを実行する。ところが、前記EEPROMの第2アドレス領域のプログラム書き換え時に、割り込み要求（タイマー割り込み、外部割り込み等）が発生した場合、第2アドレス領域のプログラムが確定していない為、割り込み処理プログラムを使用できない問題があった。

【0005】そこで、本発明は、不揮発性メモリの第2アドレス領域のプログラムを書き換えている最中に割り込み要求が発生した場合でも、当該割り込み要求に基づく割り込み処理を確実に実行できるマイクロコンピュータを提供することを目的とする。

## 【0006】

【課題を解決するための手段】本発明は、前記問題点を解決する為に成されたものであり、データを繰り返し書き込み及び読み出しできると共に書き込み済データを電氣的に消去でき、第1アドレス領域及び第2アドレス領域を有するメモリであって、前記第1アドレス領域は前記第2アドレス領域のデータを書き換える為のプログラム領域に割り当てられ、前記第1アドレス領域及び前記第2アドレス領域は割り込み処理の為に共通のプログラム領域を含む不揮発性メモリと、前記不揮発性メモリをアドレス指定するプログラムカウンタと、割り込み要求に応じて前記プログラムカウンタの値を変更する割り込みベクタ回路と、前記不揮発性メモリの第2アドレス領

域のデータ書き換え中に前記割り込み要求が発生した時、前記不揮発性メモリの第1アドレス領域を指定する様に前記割り込みベクタ回路を制御する制御回路と、を備えた点である。

#### 【0007】

【発明の実施の形態】本発明の詳細を図面に従って具体的に説明する。図1は本発明に使用されるマイクロコンピュータの概要を示す回路ブロック図であり、1チップ上に集積化される。図2は図1の動作を説明する為のタイムチャートである。

【0008】図1において、(1)はEEPROMである。EEPROM(1)は、データを繰り返し書き込み及び読み出しできると共に書き込み済データを電氣的に消去できる不揮発性メモリである。EEPROM(1)のアドレス領域Aは、残余のアドレス領域Bのデータ書き換え用のプログラム領域に割り当てられ、アドレス領域Bは、1チップマイクロコンピュータの動作制御等の為のデータ領域に割り当てられる。EEPROM(1)は、アドレスデータが印加される端子AD、書き込みデータが印加される端子DIN、読み出しデータが出力される端子DOUT、書き込みモード設定信号が印加される端子WEを有している。尚、EEPROM(1)のアドレス領域Aのプログラムは、外部PROMライタ(図示せず)からEEPROM(1)にデータを供給することにより容易に変更でき、プログラム変更に対応できる。

#### 【0009】(2)はCPUであり、EEPROM

(1)の端子DOUTからの読み出しデータに基づいて動作するものである。CPU(2)は、プログラムカウンタ(3)、インストラクションレジスタ、インストラクションデコーダ、演算論理ユニット等、論理動作を実行するのに必要な構成を含むものとする。(4)はラッチ回路であり、EEPROM(1)のアドレスデータのビット数mと等しい個数だけ設けられる。ラッチ回路

(4)のL端子はアドレスバス(5)m本を介してCPU(2)のアドレス端子と並列接続され、C端子はCPU(2)のクロック端子と共通接続される。即ち、ラッチ回路(4)は、クロックCK0に同期してアドレスデータをラッチする。

#### 【0010】(6)はラッチ回路であり、EEPROM

(1)の1バイトのビット数nと等しい個数だけ設けられる。ラッチ回路(6)のL端子はデータバス(7)n本を介してCPU(2)のデータ端子と並列接続され、C端子はCPU(2)の他のクロック端子と共通接続され、Q端子はEEPROM(1)の端子DINと接続される。即ち、ラッチ回路(6)は、クロックCK1に同期して書き込みデータをラッチすると共にEEPROM(1)に供給する。

#### 【0011】ANDゲート(8)(9)及びORゲート

(10)は切換回路を構成する。該切換回路は、ラッチ

回路(4)と等しい個数mだけ設けられる。ANDゲート(8)の一方の入力端子はプログラムカウンタ(3)の出力端子と接続され、ANDゲート(9)の一方の入力端子はラッチ回路(4)のQ端子と接続され、ORゲート(10)の出力端子はEEPROM(1)の端子ADと接続される。即ち、切換回路は、後述する選択信号SELECTに応じて、プログラムカウンタ(3)又はラッチ回路(4)の何れか一方のアドレスデータをEEPROM(1)に供給する。

10 【0012】(11)はメモリ制御回路である。EEPROM(1)からアドレス領域Bのデータ書き換えを開始するプログラム命令が読み出された時、CPU(2)は該プログラム命令を解釈してスタートパルスSTARTを出力する。メモリ制御回路(11)は、スタートパルスSTARTの立ち下がりを検出し、ここから時間T1だけ経過した後に時間T2だけローレベルとなるモード制御信号MODEを出力し、EEPROM(1)の端子WEに供給する。従って、EEPROM(1)は、モード制御信号MODEがローレベルとなる期間T2のみ、書き込みモードに設定される。尚、期間T2は、EEPROM(1)が指定されたアドレスにデータを書き込む為に必要十分な時間に設定されている。メモリ制御回路(11)は、モード制御信号MODEの立ち上がりを検出し、エンドパルスENDを出力する。メモリ制御回路(11)は、スタートパルスSTARTの立ち下がりからエンドパルスENDの立ち下がりまでの期間のみ、ローレベルとなる選択信号SELECTを出力する。従って、前記切換回路は、選択信号SELECTがローレベルとなる期間のみ、プログラムカウンタ(3)の出力を遮断し、ラッチ回路(4)の出力をEEPROM(1)の端子ADに供給する。

30 【0013】(12)はCPU制御回路である。EEPROM(1)の1命令の実行時間は $\mu\text{sec}$ 単位であるが、EEPROM(1)のデータ書き込み時間は $\text{msec}$ 単位と非常に長い。そこで、EEPROM(1)が書き込みモードとなる期間T2は、CPU(2)がEEPROM(1)の端子DOUTの不定出力の影響を受けるのを禁止し、プログラムカウンタ(3)の値を現状のまま停止させる必要がある。CPU制御回路(12)は、スタートパルスSTARTの立ち下がりからエンドパルスENDの立ち下がりまでの期間のみ、禁止信号INHを出力する。CPU(2)は、禁止信号INHを検出し、前記禁止動作を行う。

40 【0014】(13)はクロックジェネレータであり、クロックCKをCPU(2)に供給する。CPU(2)は、クロックCKを基に、1チップマイクロコンピュータを動作させる為のシステムクロックを作成する。以下、図1の動作を図2のタイムチャートを基に説明する。尚、初期状態では、モード制御信号MODE及び選択信号SELECTはハイレベルであり、EEPROM

(1)は、プログラムカウンタ(3)でアドレス指定される読み出しモードに設定されているものとする。また、プログラム命令Xはアドレスデータをラッチ回路(4)にラッチさせる命令、プログラム命令X+1は書き込みデータをラッチ回路(6)にラッチさせる命令、プログラム命令X+2はEEPROM(1)にデータを書き込ませる命令である。

【0015】EEPROM(1)の端子DOUTからプログラム命令Xが読み出されると、該プログラム命令XがCPU(2)で解読され、アドレスデータがクロックCK0に同期してラッチ回路(4)にラッチされる。プログラムカウンタ(3)が所定値インクリメントされ、EEPROM(1)の端子DOUTからプログラム命令X+1が読み出されると、該プログラム命令X+1がCPU(2)で解読され、書き込みデータがクロックCK1に同期してラッチ回路(6)にラッチされる。

【0016】プログラムカウンタ(3)が所定値インクリメントされ、EEPROM(1)の端子DOUTからプログラム命令X+2が読み出されると、該プログラム命令X+2はCPU(2)で解読される。すると、スタートパルスSTARTが発生する。選択信号SELECTはスタートパルスSTARTの立ち下がりを受けてローレベルに変化する。モード選択信号MODEは、スタートパルスSTARTの立ち下がりから時間T0が経過した後に時間T1だけローレベルに変化し、その後、ハイレベルに復帰する。エンドパルスENDはモード制御信号MODEのハイレベルへの復帰を受けて発生する。前記選択信号SELECTはエンドパルスENDの立ち下がりを受けてハイレベルに変化する。

【0017】従って、EEPROM(1)のアドレス領域Bのデータを書き換える期間は禁止信号INHが発生し、これより、CPU(2)は、EEPROM(1)の端子DOUTの不定出力の影響を無視でき、且つ、前記システムクロックを停止させてプログラムカウンタ

(3)の値をスタートパルスSTARTが発生した時のまま保持できる。この結果、EEPROM(1)のデータ書き換え時におけるCPU(2)の誤動作を防止できる。

【0018】さて、図3は割り込み処理を実行する為のブロック図であり、CPU(2)内部で構成される。図4は図3の動作を説明する為のフローチャートである。尚、EEPROM(1)のアドレス領域Aには、アドレス領域Bのプログラムを書き換える際に必要となる割り込み要求が発生した時、当該割り込み要求に基づく割り込み処理を実行する為のプログラムが書き込まれている。また、アドレス領域Bには、アドレス領域Bのプログラム実行中の割り込み要求に対応する割り込み処理の為のプログラムが書き込まれている。

【0019】図3において、(14-1)～(14-n)は割り込みベクタ回路であり、割り込み要求1～n

が発生した時、プログラムカウンタ(3)の値を、当該割り込み要求1～nに基づく割り込み処理を実行する為のEEPROM(1)のアドレス領域B中のアドレスに変更するものである。同様に、(15-1)～(15-n)は割り込みベクタ回路であり、前記割り込み要求1～nが発生した時、プログラムカウンタ(3)の値を、当該割り込み要求1～nに基づく割り込み処理を実行する為のEEPROM(1)のアドレス領域A中のアドレスに変更するものである。(16)はラッチ回路であり、割り込みベクタ回路(14-1)～(14-n)又は割り込みベクタ回路(15-1)～(15-n)の何れか一方をイネーブルとする為の信号をラッチするものである。ラッチ回路(16)の出力は、割り込みベクタ回路(14-1)～(14-n)の入力と共通接続され、インバータ(17)を介して割り込みベクタ回路(15-1)～(15-n)の入力と共通接続される。即ち、ラッチ回路(16)が論理値「1」をラッチした時、割り込みベクタ回路(14-1)～(14-n)がイネーブルとなり、ラッチ回路(16)が論理値「0」をラッチした時、割り込みベクタ回路(15-1)～(15-n)がイネーブルとなる。

【0020】以下、図3の動作を図4のフローチャートを基に説明する。EEPROM(1)のアドレス領域Bのプログラムが誤っている場合、当該プログラムを正しく書き換える必要がある。先ず、CPU(2)は、EEPROM(1)のアドレス領域Bのプログラムを書き換えるか否かを判断する(ステップ1)。EEPROM(1)のアドレス領域Bのプログラムを書き換える必要がない場合(ステップ1NO)、全割り込み要求を一旦ディセーブルとし(ステップ2)、ラッチ回路(16)に論理値「1」をラッチさせた後に全割り込み要求をイネーブルとする(ステップ3)。即ち、割り込みベクタ回路(14-1)～(14-n)がイネーブルとなる。そして、EEPROM(1)のアドレス領域Bのプログラムが実行される(ステップ4)。当該プログラム実行時、割り込み要求1～nの何れか1つが発生すると(ステップ5YES)、プログラムカウンタ(3)の値が、当該割り込み要求に対応するEEPROM(1)のアドレス領域Bのアドレスに変更され、当該割り込み要求に基づく割り込み処理が実行されることになる(ステップ6)。

【0021】一方、EEPROM(1)のアドレス領域Bのプログラムを書き換え処理する場合(ステップ1YES)、全割り込み要求を一旦ディセーブルとし(ステップ7)、ラッチ回路(16)に論理値「0」をラッチさせた後に全割り込み要求をイネーブルとする(ステップ8)。即ち、割り込みベクタ(15-1)～(15-n)がイネーブルとなる。そして、EEPROM(1)のアドレス領域Aのプログラムによるアドレス領域Bのプログラム書き換え処理が実行される(ステップ9)。

7

当該プログラム実行時、割り込み要求1～nの何れか1つ（EEPROM（1）のアドレス領域Bのプログラム書き換え時に必要となる割り込み要求）が発生すると（ステップ10YES）、プログラムカウンタ（3）の値が、当該割り込み要求に対応するEEPROM（1）のアドレス領域Aのアドレスに変更され、当該割り込み要求に基づく割り込み処理が実行されることになる（ステップ11）。尚、EEPROM（1）のアドレス領域Bのプログラム書き換えが終了すると、前記1チップマイクロコンピュータはリセットされ、EEPROM（1）のアドレス領域Bのプログラムの解読結果に基づき動作する。

【0022】以上より、EEPROM（1）のアドレス領域Bのプログラムの書き換え処理中、当該プログラムを書き換える過程で必要となる割り込み要求（タイマー割り込み、外部割り込み等）が発生した場合でも、当該割り込み要求に基づく割り込み処理を確実に実行できる。また、EEPROM（1）のアドレス領域Bのプログラム書き換えを行う場合と行わない場合とにおいて、割り込み要求1～nを共用でき、プログラム効率を向上できる。

【0023】

【発明の効果】本発明によれば、不揮発性メモリの第2

8

アドレス領域のプログラムの書き換え処理中、当該プログラムを書き換える過程で必要となる割り込み要求（タイマー割り込み、外部割り込み等）が発生した場合でも、当該割り込み要求に基づく割り込み処理を確実に実行できる。また、不揮発性メモリの第2アドレス領域のデータ書き換えを行う場合と行わない場合とにおいて、割り込み要求を共用でき、プログラム効率を向上できる等の利点が得られる。

【図面の簡単な説明】

10 【図1】本発明に使用されるマイクロコンピュータの概要を示す回路ブロック図である。

【図2】図1の動作を説明する為のタイムチャートである。

【図3】本発明の割り込み処理を実行する為のブロック図である。

【図4】図3の動作を説明する為のフローチャートである。

【符号の説明】

(1) EEPROM

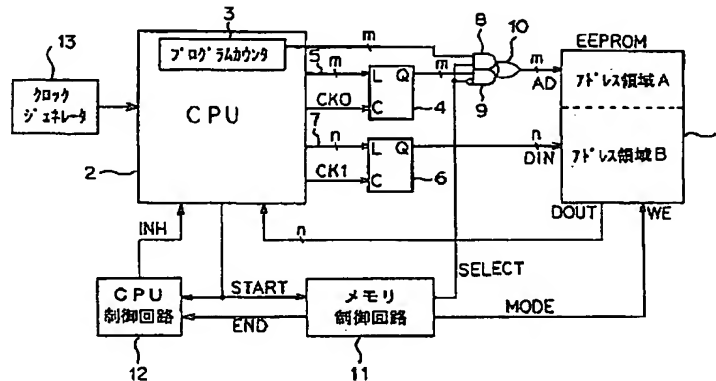
(3) プログラムカウンタ

(14-1)～(14-n) 割り込みベクタ回路

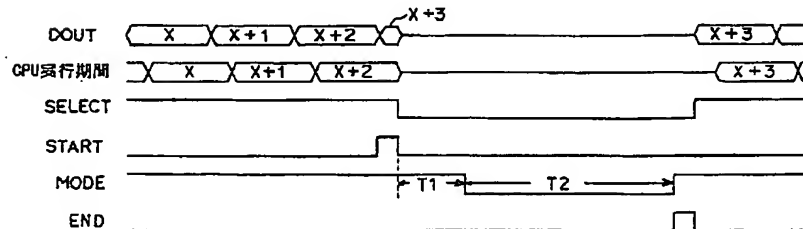
(15-1)～(15-n) 割り込みベクタ回路

(16) ラッチ回路

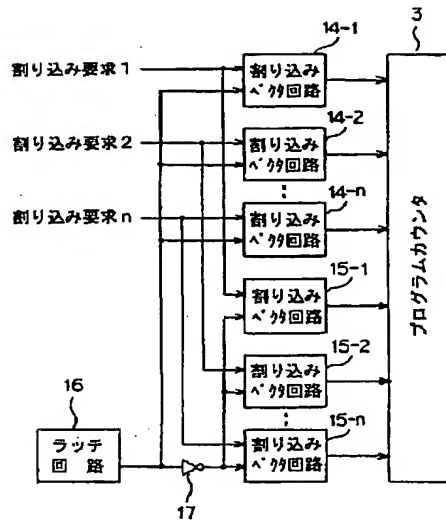
【図1】



【図2】



【図 3】



【図 4】

